

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-060453

(43)Date of publication of application : 28.02.2003

(51)Int.Cl.

H03F 3/34
H03F 1/34
H03F 3/345
H03F 3/45

(21)Application number : 2001-247907

(71)Applicant : FUJITSU LTD

(22)Date of filing : 17.08.2001

(72)Inventor : UTO SHINYA
KOKUBU MASATOSHI

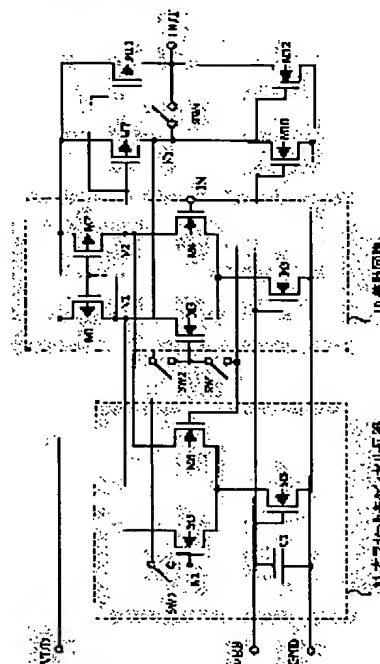
(54) OPERATIONAL AMPLIFIER HAVING OFFSET CANCEL FUNCTION

(57)Abstract:

PROBLEM TO BE SOLVED: To quicken the response characteristics of an operational amplifier, using offset cancel function.

SOLUTION: An operational amplifier, which generates an output voltage which is the same as the input voltage at an output terminal (OUT), has a differential circuit (10) for comparing the input voltage with the output voltage to generate output according to the difference thereof, a first and a second output transistors (M7, M11) controlled by the output from the circuit (10) and driving the output terminal (OUT), and an offset cancel circuit (11) connected to the circuit (10) and storing offset amount of the circuit (10). During an offset cancel period, when the offset amount is stored in the circuit (11), the output terminal is driven by the second output transistor (M11), and during an operational amplifier operating period after the offset cancel period, the output terminal is driven by the first output transistor (M7).

Since the output terminal is driven by the transistor (M11) in advance during the offset cancel period, the time needed for raising potential to a target value during the operational amplifier operating period is made shorter.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

(書誌+要約+請求の範囲)

(19)【発行国】日本国特許庁(JP)
 (12)【公報種別】公開特許公報(A)
 (11)【公開番号】特開2003-60453(P2003-60453A)
 (43)【公開日】平成15年2月28日(2003. 2. 28)
 (54)【発明の名称】オフセットキャンセル機能を有するオペアンプ
 (51)【国際特許分類第7版】

H03F 3/34
 1/34
 3/345
 3/45

【FI】

H03F 3/34 A
 1/34
 3/345 B
 3/45 A
 B

【審査請求】未請求**【請求項の数】9****【出願形態】OL****【全頁数】15**

(21)【出願番号】特願2001-247907(P2001-247907)

(22)【出願日】平成13年8月17日(2001. 8. 17)

(71)【出願人】

【識別番号】000005223

【氏名又は名称】富士通株式会社

【住所又は居所】神奈川県川崎市中原区上小田中4丁目1番1号

(72)【発明者】

【氏名】鶴戸 真也

【住所又は居所】神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

(72)【発明者】

【氏名】国分 政利

【住所又は居所】神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

(74)【代理人】

【識別番号】100094525

【弁理士】

【氏名又は名称】土井 健二(外1名)

【テーマコード(参考)】

5J066

5J090

5J091

【Fターム(参考)】

5J066 AA01 AA47 AA51 CA13 CA15 CA65 CA78 FA18 HA10 HA17 HA29 HA38 KA02 KA04 KA06 KA09 MA05 MA13 M/
 5J090 AA01 AA47 AA51 CA13 CA15 CA65 CA78 FA18 HA10 HA17 HA29 HA38 HN15 KA02 KA04 KA06 KA09 MA05 M/
 5J091 AA01 AA47 AA51 CA13 CA15 CA65 CA78 FA18 HA10 HA17 HA29 HA38 KA02 KA04 KA06 KA09 MA05 MA13 M/

【(57)【要約】】

【課題】オフセットキャンセル機能付きオペアンプの応答特性を速くする。

【解決手段】入力電圧(IN)と同じ出力電圧を出力端子(OUT)に生成するオペレーションアンプにおいて、入力電圧と出力電圧とを比較しその差に応じた出力を生成する差動回路(10)と、差動回路の出力により制御され出力端子を駆動する第1及び第2の出力トランジスタ(M7,M11)と、差動回路に接続され当該差動回路のオフセット量を記憶するオフセットキャンセル回路(11)とを有する。そして、オフセットキャンセル回路によりオフセット量が記憶されるオフセットキャンセル期間において、第2の出力トランジスタ(M11)により出力端子が駆動され、オフセットキャンセル期間後のオペアンプ動作期間において、第1の出力トランジスタ(M7)により出力端子が駆動される。オフセットキャンセル期間中に第2の出力トランジスタ(M11)により出力端子があらかじめ駆動されるので、オペアンプ動作期間に目標電位に達するまでの時間が短くなる。

【特許請求の範囲】

【請求項1】入力電圧と同じ出力電圧を出力端子に生成するオペレーションアンプにおいて、ソースが接続された第1及び第2の入力トランジスタと、当該ソースに接続された電流源と、第1及び第2の入力トランジスタのドレインに接続されたカレントミラー回路とを有する差動回路と、入力電圧が供給される第2の入力トランジスタのドレインにより制御されるゲートと、オペアンプ動作時に第1の入力トランジスタのゲートにフィードバックされるドレインとを有する第1の出力トランジスタと、前記差動回路に接続され、前記1対の入力トランジスタのオフセット状態を記憶するオフセットキャンセル回路と、前記第1の出力トランジスタに並列に設けられた第2の出力トランジスタとを有し、オフセットキャンセル期間において、前記第1及び第2の出力トランジスタのドレインが切り離され、当該第2の出力トランジスタにより出力端子が駆動され、オフセットキャンセル期間後のオペアンプ動作期間において、前記第1の出力トランジスタにより前記出力端子が駆動されることを特徴とするオペレーションアンプ。

【請求項2】請求項1において、前記オフセットキャンセル期間において、前記第2の出力トランジスタのゲートが、前記第1の入力トランジスタのドレインにより制御されることを特徴とするオペレーションアンプ。

【請求項3】請求項2において、前記オペアンプ動作期間において、前記第2の出力トランジスタが非活性状態になり、前記第1の出力トランジスタにより前記出力端子が駆動されることを特徴とするオペレーションアンプ。

【請求項4】請求項3において、前記オペアンプ動作期間において、前記第2の出力トランジスタのゲートが、前記第1の出力トランジスタのゲートから切り離され、且つ、電源レベルに接続されることを特徴とするオペレーションアンプ。

【請求項5】請求項1において、前記第1の出力トランジスタのドレインと電源との間に第1の出力電流トランジスタが、第2の出力トランジスタのドレインと電源との間に第2の出力電流トランジスタがそれぞれ設けられ、第1の出力トランジスタと第1の出力電流トランジスタのサイズ比と、第2の出力トランジスタと第2の出力電流トランジスタのサイズ比とが等しくなるように構成されていることを特徴とするオペレーションアンプ。

【請求項6】請求項1において、更に、前記第1の出力トランジスタのドレインと電源との間に第1の出力電流トランジスタが、第2の出力トランジスタのドレインと電源との間に第2の出力電流トランジスタがそれぞれ設けられ、前記第1及び第2の出力電流トランジスタの導通状態を、前記第1及び第2の出力トランジスタの導通状態と逆方向に制御する出力電流源制御回路を有することを特徴とするオペレーションアンプ。

【請求項7】請求項1において、オフセットキャンセル期間において、前記第1及び第2の入力トランジスタの両ゲートに入力電圧が印加され、前記オフセットキャンセル回路は、前記第1及び第2の入力トランジスタのドレイン電流のオフセットに対応したドレイン電流を記憶し、オペアンプ動作期間において、当該記憶したドレイン電流を前記カレントミラー回路に供給することを特徴とするオペレーションアンプ。

【請求項8】入力電圧と同じ出力電圧を出力端子に生成するオペレーションアンプにおいて、前記入力電圧と出力電圧とを比較し、その差に応じた出力を生成する差動回路と、前記差動回路の出力により制御され、出力端子を駆動する第1及び第2の出力トランジスタと、前記差動回路に接続され、当該差動回路のオフセット量を記憶するオフセットキャンセル回路とを有し、前

記オフセットキャンセル回路により前記オフセット量が記憶されるオフセットキャンセル期間において、前記第2の出力トランジスタにより前記出力端子が駆動され、前記オフセットキャンセル期間後のオペアンプ動作期間において、前記第1の出力トランジスタにより前記出力端子が駆動されることを特徴とするオペレーションアンプ。

【請求項9】請求項1乃至8のいずれかに記載されたオペレーションアンプを複数有し、表示パネル内の複数のソース線を前記オペレーションアンプにより駆動する表示パネル用ソースドライバ回路。

詳細な説明

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、オフセットキャンセル機能を有するオペレーションアンプ（以下略してオペアンプと称する）に関し、特に、出力端子が目標電位に変化するまでの期間を短縮することができるオフセットキャンセル機能を有するオペアンプに関する。

【0002】

【従来の技術】MOSTランジスタを利用したオペレーションアンプは、ソース端子を共通に接続された1対の入カトランジスタと、そのソース端子に接続された定電流源と、そのドレイン端子にそれぞれ接続されたカレントミラー回路と、更に、1対の入カトランジスタのうち、一方の入カトランジスタのドレイン端子を出カトランジスタのゲートに接続し、出カトランジスタのドレインを出力端子に接続し、一方の入カトランジスタのゲートに入力電圧を印加し、他方の入カトランジスタのゲートに出力端子をフィードバックした構成を有する。

【0003】このようなMOSTランジスタを利用したオペアンプにおいて、理想的な動作によれば、1対の入カトランジスタのゲート電圧が等しくなるときに、そのドレイン電流が等しくなり安定する。従って、安定状態では、出力端子に入力電圧が生成される。その結果、上記のオペアンプは、出力端子に接続された大きな容量の負荷を駆動することができ、しかも、その出力端子を入力電圧と同じ電圧にすることができる。つまり、オペアンプの動作として、入力電圧と出力電圧とが等しくなることが大切な要件である。

【0004】ところが、1対の入カトランジスタのゲートソース間電圧対ドレイン電流特性にバラツキが発生すると、両入カトランジスタのドレイン電流が等しい状態で安定しても、上記の特性のバラツキに起因して、両入カトランジスタのゲート電圧に微小な電圧差が発生する。つまり、入力電圧と出力電圧との間にオフセットが発生する。

【0005】このようなオフセット電圧の発生は、オペアンプの特性上好ましくない。例えば、複数のオペアンプが複数のソース線を駆動する液晶表示装置のソースドライブ回路においては、同じ入力電圧（階調レベル）に対してそれぞれのオペアンプの出力電圧（画素駆動電圧）が異なることになり、表示画像の色むらの原因になる。従って、オペアンプのオフセットを抑制することが必要である。

【0006】オフセットを抑制するオペアンプとして、本出願人は、オフセットキャンセルを可能にする新たなオペアンプを提案した。例えば、平成12年（2000年）4月7日出願した特願2000-105980号に記載されるとおりである。

【0007】この提案されたオペアンプでは、1対の入カトランジスタに、オフセットキャンセル回路を接続している。具体的には、1対の入カトランジスタに並列に1対のオフセットキャンセル用トランジスタと定電流源とを設け、そのオフセットキャンセル用トランジスタの一方のゲートにオフセットキャンセル用容量を接続している。

【0008】そして、オフセットチャージ期間に、1対の入カトランジスタのゲートを共に入力端子に接続し、オフセットキャンセル用トランジスタの一方のゲートに入力端子を接続し、他方のゲートに出力端子を接続する。この状態で、1対の入カトランジスタに同じゲート電圧印加状態でのドレイン電流を生成させ、入カトランジスタのドレイン電流と並列に接続されたオフセットキャンセル用トランジスタのドレイン電流の和が、バランスする状態で安定させる。従って、オフセットキャンセル用容量には、その安定状態での電圧値が記憶されて、オフセットキャンセル回路にオフセット用のドレイン電流が記憶される。

【0009】その後、出力端子をオフセットキャンセル用トランジスタのゲートから切り離し、1対の入カトランジスタのゲートに入力端子と出力端子を接続して、通常のオペアンプ動作状態にする。このオペアンプ動作状態では、オフセットキャンセル回路がオフセットキャンセル期間でのドレイン電流を再現するので、入カトランジスタのドレイン電流も、入力電圧と出力電圧とが等しい時の値を再現して、安定することになる。その結果、トランジスタの特性バラツキによるオフセット電圧の発生が抑制される。

【0010】また、別のオフセットキャンセル回路も種々提案されている。例えば、オフセットキャンセル期間でのオフセット電圧を記憶し、オペアンプ動作状態で、そのオフセット電圧を出力電圧から除去するようなオフセットキャンセル回路である。

【0011】

【発明が解決しようとする課題】ところが、このオフセットキャンセルを実現したオペアンプは、出力端子の駆動に長時間を要するという問題があることを、本発明者らが発見した。特に、オフセットキャンセル期間での安定状態までの期間を短くするために、駆動用出力端子と、出力用トランジスタのドレイン端子との間にスイッチを設けて、オフセットキャンセル期間ではそのスイッチをオフにして出力トランジスタのドレイン端子から出力端子の負荷容量を切り離す構成にした場合、出力端子の負荷容量の駆動が、オフセットチャージ期間終了後に始まり、最終的に出力端子が入力電圧に達するのに長い時間を要する。

【0012】即ち、上記のLCDのソースドライバ回路の場合では、画素の階調レベルが変化したことに伴い、入力電圧がLレベルからHレベルに変化した場合、その入力電圧の変化に対して、出力端子の応答が遅くなり、応答特性の悪いLCDになってしまうことが予想される。

【0013】このオフセットキャンセル期間により、出力端子の駆動時間が遅れてしまう問題は、ドレイン電流を記憶するオフセットキャンセル回路に限られず、オフセット電圧を記憶するオフセットキャンセル回路の場合にも起こる問題である。

【0014】そこで、本発明の目的は、出力端子の応答特性を速くしたオフセットキャンセル機能付きオペアンプを提供することにある。

【0015】また、本発明の別の目的は、オフセットキャンセル機能付きで、且つ入力電圧の変化に対して出力電圧の応答特性を速くしたMOSTランジスタのオペアンプを提供することにある。

【0016】

【課題を解決するための手段】上記の目的を達成するために、本発明の第1の側面によれば、入力電圧と同じ出力電圧を出力端子に生成するオペレーションアンプにおいて、入力電圧と出力電圧とを比較する差動回路と、前記差動回路の出力により制御され出力端子を駆動する第1及び第2の出力トランジスタと、前記差動回路に接続され当該差動回路のオフセット量を記憶するオフセットキャンセル回路とを有し、前記オフセットキャンセル回路により前記オフセット量が記憶されるオフセットキャンセル期間において、前記第2の出力トランジスタにより前記出力端子が駆動され、前記オフセットキャンセル期間後のオペアンプ動作期間において、前記第1の出力トランジスタにより前記出力端子が駆動されることを特徴とする。

【0017】上記の目的を達成するために、本発明の第2の側面によれば、オペレーションアンプは、(1)ソースが接続された第1及び第2の入カトランジスタと、そのソースに接続された電流源と、そのドレインにそれぞれ接続されたカレントミラー回路とを有する差動回路と、(2)入力電圧が供給される第2の入カトランジスタのドレインにより制御されるゲートと、オペアンプ動作時に前記第1の入カトランジスタのゲートにフィードバックされるドレインとを有する第1の出力トランジスタと、(3)前記差動回路に接続され、前記第1及び第2の入カトランジスタのオフセット状態を記憶するオフセットキャンセル回路と、更に、(4)第1の出力トランジスタに並列に設けられた第2の出力トランジスタとを有する。

【0018】オフセットキャンセル期間では、オフセットキャンセル回路がオフセット状態を記憶すると共に、第1及び第2の出力トランジスタのドレインが切り離され、第2の出力トランジスタにより出力端子が駆動される。そして、オフセットキャンセル期間後のオペアンプ動作期間において、第1の出力トランジスタにより出力端子が駆動される。これにより、オフセットキャンセル期間でオフセットキャンセル回路がオフセット値を記憶している間に、第2の出力トランジスタにより出力端子が目標の電圧に向かって駆動される。従って、オフセットキャンセル期間後のオペアンプ動作期間において、第1の出力トランジスタは、目標電圧近くまで駆動された出力端子の電圧を最終的な入力電圧まで駆動すれば良い。その結果、出力端子の電圧が最終的に入力電圧に達するまでの時間は短くなる。

【0019】上記の発明における好ましい実施例では、オフセットキャンセル期間では、第2の出力トランジスタのドレインと第1の出力トランジスタのドレインとが切り離されて第2の出力トランジスタにより出力負荷が駆動され、オペアンプ動作期間では、第2の出力トランジスタが非活性状態になり、第1の出力トランジスタにより出力負荷が駆動される。このように、オペアンプ動作期間で第2の出力トランジスタを非活性化することで、オフセットキャンセル期間での第1の出力トランジスタによるオフセットキャンセル状態の回路構成をオペアンプ動作期間においてもそのまま維持できるようにする。

【0020】更に、好ましい実施例では、第1の出力トランジスタのドレインと電源との間に第1の出力電流トランジスタが、第2の出力トランジスタのドレインと電源との間に第2の出力電流トランジスタがそれぞれ設けられ、第1の出力トランジスタと第1の出力電流トランジスタのサイズ

比と、第2の出力トランジスタと第2の出力電流トランジスタのサイズ比とが等しくなるように構成されている。このようにすることで、オフセットキャンセル期間で安定状態になった回路特性を、オペアンプ動作状態で第1及び第2の出力トランジスタのドレイン間を接続した後も、同じに保つことができ、オフセットキャンセル状態を維持することができる。

【0021】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態例を説明する。しかしながら、本発明の保護範囲は、以下の実施の形態例に限定されるものではなく、特許請求の範囲に記載された発明とその均等物にまで及ぶものである。

【0022】図1は、先に提案したオフセットキャンセル機能付きのオペアンプの回路図である。このオペアンプは、ソースが接続された第1及び第2の入カトランジスタM3、M4(NMOS)と、そのソースに接続された電流源トランジスタM9(NMOS)と、そのドレインにそれぞれ接続されたトランジスタM1、M2(PMOS)からなるカレントミラー回路とからなる差動回路10を有する。さらに、オペアンプは、入力電圧INがゲートに供給される第2の入カトランジスタM4のドレインに、ゲートが接続された出力トランジスタM7(PMOS)とを有し、オペアンプ動作状態で出力トランジスタM7のドレインN1が第1の入カトランジスタM3のゲートにフィードバックされる。この出力トランジスタM7は、ドレインN1を電源VDD側にプルアップする機能を有し、そのドレインN1とグラウンドGNDとの間に、プルダウン用の電流源トランジスタM10(NMOS)が設けられる。

【0023】本来のオペアンプの動作によれば、入力電圧INのレベルが高くなると、トランジスタM4がより導通状態になりより多くのドレイン電流を発生し、ノードV2の電位が下がり、出力トランジスタM7がより導通してノードN1のレベルも高くなり、ノードN1が入力電圧INと等しくなると、トランジスタM3、M4のドレイン電流が一致し、安定状態になる。逆に、入力電圧INのレベルが下がると、トランジスタM4がより非導通状態になり少ないドレイン電流を発生し、ノードV2の電位が上がり、出力トランジスタM7がより非導通状態になり、電流源M10によりノードN1のレベルが下がり、ノードN1と入力電圧INが等しくなると安定状態になる。このように、本来のオペアンプの動作では、出力トランジスタM7のドレイン端子N1が入力電圧INと同じレベルで安定する。

【0024】しかし、トランジスタM3、M4の特性にバラツキが存在すると、ドレイン電流が一致した安定状態で、両トランジスタのゲート電圧にオフセットが発生し、それが出力ノードN1の電圧にオフセットを生じる。

【0025】図1の回路では、オフセットをなくすために、第1及び第2の入カトランジスタM3、M4に、オフセット状態を記憶するオフセットキャンセル回路11を接続する。このオフセットキャンセル回路11は、1対の入カトランジスタM3、M4の両ゲートに入力電圧INが印加された時のドレイン電流のオフセットを記憶する機能を有する。

【0026】即ち、オフセットキャンセル期間で、スイッチSW2をオフにSW1をオンにして、1対の入カトランジスタM3、M4の両ゲートに入力電圧INを印加することで、トランジスタM3、M4の特性バラツキによる異なるドレイン電流を生成させ、一方で、カレントミラー回路M1、M2に同じ電流が流れるように、オフセットキャンセル回路11にオフセット用のドレイン電流を供給させる。そして、オフセットキャンセル回路11内の容量C1にそのドレイン電流を記憶させる。その後のオペアンプ動作期間では、スイッチSW2をオンにSW1をオフにして、第1の入カトランジスタM3のゲートに出力トランジスタM7のドレインをフィードバックさせ、オフセットキャンセル回路11から記憶したドレイン電流をカレントミラー回路M1、M2に供給させる。その結果、入カトランジスタM3、M4は、両ゲートが同じ入力電圧INになった状態で安定し、ドレインN1には入力電圧INが生成される。

【0027】図1に示されたオフセットキャンセル回路11は、オフセットによるドレイン電流を記憶する回路例であり、具体的には、1対の入カトランジスタM3、M4に並列に、第1及び第2のオフセットキャンセル用トランジスタM5、M6(NMOS)と、そのソースに接続された電流源トランジスタM8(NMOS)と、第1のオフセットキャンセル用トランジスタM5のゲートに接続されたオフセットキャンセル用容量C1とが設けられる。3つの電流源トランジスタM8、M9、M10のゲートには、所定のバイアス電圧VBBが印加されている。

【0028】図2は、図1のオペアンプの動作波形図であり、後述する本実施の形態例のオペアンプの動作波形も示している。図1のオペアンプは、時刻t1からt2の期間、スイッチSW1、SW3が導通され(オン状態)、スイッチSW2、SW4が非導通にされた(オフ状態)オフセットキャンセル期間と、時刻t2以降のオペアンプ動作期間とを有する。

【0029】オフセットキャンセル期間では、スイッチSW1の導通により第1及び第2の入カトラン

ジスタM3, M4のゲートに入力電圧INが印加され、スイッチSW3の導通により第1のオフセットキャンセル用トランジスタM5のゲートに出力トランジスタM7のドレインがフィードバックされ、第2のオフセットキャンセル用トランジスタM6に入力電圧INが印加される。更に、このオフセットキャンセル期間において、出力端子OUTが出力トランジスタのドレインN1から切り離される。

【0030】前述のとおり、入力トランジスタM3, M4には、ゲートソース間電圧・ドレイン電圧特性にバラツキがあり、両トランジスタのゲートに入力電圧INを印加しても、それに伴うドレイン電流は異なる。今仮に、第1のトランジスタM3の電流駆動能力が高くなるようにばらついているとすると、第1のトランジスタM3のドレイン電流のほうが、第2のトランジスタM4これにより大きくなる。

【0031】一方、入力トランジスタM3, M4に並列に接続されたオフセットキャンセル用トランジスタM5, M6にも、印加されたゲート電圧に見合ったドレイン電流が発生する。そして、カレントミラー回路M1, M3の特性上、ノードV1, V2に流れる電流値は等しい状態で安定する。即ち、出力トランジスタM7からスイッチSW3を介してオフセットキャンセル用容量C1が充電され、入力トランジスタM3, M4の特性バラツキに起因する異なるドレイン電流を吸収するように、オフセットキャンセル用トランジスタM5, M6にドレイン電流が流れる。そして、時間 t_2 の安定状態では、ノードN1が入力電圧INからオフセット電圧 ΔV だけずれた電圧値に駆動されて、その電圧IN + ΔV に容量C1が充電され、カレントミラー回路M1, M2に同じ電流が流れる状態になる。この時、入力トランジスタM3, M4のゲートには、同じ入力電圧INが印加された状態になっていて、オフセットキャンセル回路11には、それに起因するオフセットドレイン電流が記憶される。

【0032】なお、スイッチSW4を開いておくことにより、ノードN1の負荷を軽くすることができ、オフセットキャンセル用容量C1の充電を短時間で行い、短時間で安定状態に達することができる。

【0033】次に、時刻 t_2 以降のオペアンプ動作期間では、スイッチSW3がオフになり、第1のオフセットキャンセル用トランジスタM5のゲートが、出力トランジスタのドレインN1から切り離されるが、オフセットキャンセル用容量C1の充電電圧が印加されているので、オフセットキャンセル用トランジスタM5, M6は、オフセットキャンセル期間でのドレイン電流をそのまま維持する。また、スイッチSW1がオフ、SW2がオンになり、第1の入力トランジスタM3のゲートには出力トランジスタのドレインN1がフィードバックされる。更に、スイッチSW4がオンになり、出力トランジスタM7により出力端子OUTが駆動される。この出力端子の駆動は、図2中、OUT1の破線で示される。

【0034】オペアンプ動作期間では、オフセットキャンセル用トランジスタM5, M6には、ゲートに容量C1の充電電圧と入力電圧INが印加され、オフセットキャンセル期間と同じドレイン電流が流れる。従って、第1及び第2の入力トランジスタM3, M4も、オフセットキャンセル期間の同じ入力電圧INが印加された時のドレイン電流を生成して、安定状態になる。つまり、オペアンプ動作期間と同じ安定状態が再現される。その結果、出力トランジスタM7のドレインN1には、入力電圧INと等しい電圧が生成され、出力端子の電圧OUT1は入力電圧INと等しくなって安定する。

【0035】以上のように、1対の入力トランジスタM3, M4に並列にオフセットキャンセル用トランジスタM5, M6を接続し、そのトランジスタM5のゲートにオフセットキャンセル用の容量C1を接続した構成において、オフセットキャンセル期間で1対の入力トランジスタM3, M4のゲートが等しい状態を容量C1に記憶させ、オペアンプ動作期間では、1対の入力トランジスタM3, M4のゲートが等しい状態を再現させる。それにより、トランジスタの特性バラツキによるオフセット電圧の発生を防止することができる。

【0036】図1に示したオフセットキャンセル回路以外にも、オフセットキャンセル機能を実現できる回路が種々考えられる。例えば、オフセットキャンセル期間中に発生した出力と入力との間のオフセット電圧を記憶して、オペアンプ動作期間において、その記憶したオフセット電圧を出力端子に加える回路である。

【0037】いずれのオフセットキャンセル回路であっても、オフセットキャンセル期間がオペアンプ動作期間に先立って必要になり、出力端子OUTの駆動が遅れてしまうという問題を有する。つまり、図2に示した通り、出力端子OUTの駆動が行われる前に、オフセットキャンセル期間が必要になるので、入力電圧INが大きく変化した場合などは、出力端子OUTが入力電圧INまで駆動完了するのに時間がかかりすぎるという問題がある。このような問題は、LCDのソースドライバ回路では、応答特性が悪いことになり、好ましくない。

【0038】図3は、本実施の形態例におけるオフセットキャンセル機能付きのオペアンプの回路図である。このオペアンプは、図1のオペアンプに対して、第2の出力トランジスタM11(PMOS)と第2の出力電流源トランジスタM12(PMOS)とが、第1の出力トランジスタM7と第1の出力電流源トランジスタM10に並列に接続されている。それ以外の構成は、図1と同じであり、差動回路10とオフセットキャンセル回路11も図1と同じである。

【0039】なお、スイッチSW1-4は、例えばCMOSスイッチが利用される。CMOSスイッチは、PチャネルトランジスタとNチャネルトランジスタとがソース・ドレイン間を並列に接続され、逆相の制御信号によりゲートが制御される。従って、スイッチSW1,3は同じ制御信号により制御され、スイッチSW2,4はそれと逆相の制御信号により制御される。

【0040】図3のオペアンプの動作波形図は、図2に示され、出力端子OUTの波形が一点鎖線OUTで示されている。図3のオペアンプでは、入力電圧INがLレベルからHレベルに変化した時、オフセットキャンセル期間 t_1 - t_2 において、スイッチSW1,3がオン、スイッチSW2,4がオフになり、入力トランジスタM3、M4のゲート電圧が等しい状態で、オフセットキャンセル用容量C1がノードN1の電圧によりチャージされる。図2に示されるとおり、ノードN1のレベルは、Lレベルから入力電圧INにオフセット電圧 ΔV を加えたレベルまで上昇する。

【0041】このオフセットキャンセル期間 t_1 - t_2 において、出力端子OUTの負荷容量が、第2の出力トランジスタM11により駆動され、図2の一点鎖線で示すとおり、出力端子OUTは入力電圧INに向かって上昇している。また、スイッチSW4をオフにして第1の出力トランジスタM7のドレインN1を出力端子OUTから切り離しているため、ドレインN1の負荷容量は少なく、オフセットキャンセル用容量C1を充電して安定状態になるまでの時間が短くなる。

【0042】オフセットキャンセル期間にてオペアンプが安定状態に達した後、スイッチSW1,3がオフ、スイッチSW2,4がオンとなり、第1の出力トランジスタM7のドレインN1が出力端子OUTに接続され、途中まで上昇していた出力端子の電圧OUTは、ドレインN1と同じレベルまで更に上昇して、安定状態になる。従って、図1のオペアンプの場合の出力電圧OUT1に比較すると、図3のオペアンプの出力電圧OUTは、より速く入力電圧INに達していることが理解される。

【0043】上記の第2の出力トランジスタM11の追加によりオペアンプ回路の応答特性を速くすることは、図3のオフセットキャンセル回路とは別のオフセットキャンセル回路を設けたオペアンプにおいても適用される作用効果である。前述した入出力のオフセット電圧を記憶して、オペアンプ動作時にそのオフセット電圧を出力端子に与えて、入出力のオフセットをなくす機能を有するオフセットキャンセル回路であっても、第2の出力トランジスタM11を追加することで、応答特性を速くすることができる。

【0044】図3のオペアンプにおいて、第1の出力トランジスタのドレインN1とグランド電源GNDとの間に第1の出力電流源トランジスタM10(NMOS)が設けられている。この第1の出力電流源トランジスタM10は、ゲートに定バイアス電圧VBBが印加されて常時定電流を流して、ドレインN1の電位をグランドGND側に引っ張るプルダウン機能を有する。従って、ドレインN1の電位は、第1の出力トランジスタM7と出力電流源トランジスタM10とのトランジスタサイズ比により決定する。

【0045】オフセットキャンセル期間での安定状態は、この第1の出力トランジスタM7と第1の出力電流源トランジスタM10とのトランジスタサイズ比を前提にして生成されている。従って、オペアンプ動作期間で、スイッチSW4がオンになりノードN1と出力端子OUTとが接続された時点でも、オフセットキャンセル期間での安定状態を維持する必要がある。そのためには、第2の出力トランジスタM11と第2の出力電流源トランジスタM12とのトランジスタサイズ比を、第1の出力トランジスタM7と第1の出力電流源トランジスタM10とのトランジスタサイズ比と同じにする必要がある。そのように構成することで、スイッチSW4を閉じたオペアンプ動作期間においても、オフセットキャンセル期間での安定状態の回路構成を実質的に維持することができる。

【0046】更に、トランジスタサイズ比を同じにすることで、オフセットキャンセル期間で第2の出力トランジスタM11と第2の出力電流源トランジスタM12とからなる第2の出力段により駆動される出力端子の電位レベルが、最終的な入力レベルINと同じまたは近接することが期待される。

【0047】図4は、第2の実施の形態例におけるオペアンプの回路図である。このオペアンプ回路は、第2の出力トランジスタM11のゲートにスイッチトランジスタM13,M14(共にPMOS)が設けられ、更に、第2の出力電流源トランジスタM12のゲートにスイッチトランジスタM15,M16(共にNMOS)が設けられている。そして、これらのスイッチトランジスタM12,M14,M15,M16は、制御信号CONとインバータINV1,2,3によるその反転制御信号によりそれぞれ制御される。それ以外の

構成は、図3のオペアンプ回路と同じであり、差動回路10、オフセットキャンセル回路11も同じ構成である。

【0048】図4のオペアンプ回路では、オフセットキャンセル期間終了時に、第2の出力トランジスタM11及び第2の出力電流源トランジスタM12を第1の出力トランジスタM7と第1の出力電流源トランジスタM10から切り離すと共に、そのゲートを電源VDD及びグランドGNDに接続して、非動作状態にする。即ち、図2に示されるとおり、制御信号CONをLレベルからHレベルに切り替えることで、トランジスタM13、M15が共にオフになり、トランジスタM14、M16が共にオンになる。その後、スイッチSW4がオンになり、オペアンプ動作期間に入る。その結果、その後のオペアンプ動作期間において、第2の出力トランジスタM11に対する差動回路10の出力による制御動作が停止し、第2の出力トランジスタM11は非活性状態になる。第2の出力電流源トランジスタM12も同様に非活性状態になる。

【0049】このようにすることで、オフセットキャンセル期間で安定状態になっていた、差動回路10とオフセットキャンセル回路11と出力回路M7、M10とからなる回路の状態を、オペアンプ動作期間においても維持することができる。従って、必ずしも第2の出力トランジスタM11と第2の出力電流源トランジスタM12とのトランジスタサイズ比が、トランジスタM7とM10のトランジスタサイズ比と同じでなくても、オフセットキャンセル期間での安定状態の回路構成を、オペアンプ動作期間においても維持することができる。

【0050】より好ましい動作によれば、オフセットキャンセル期間からオペアンプ動作期間に移る時に、まず、トランジスタM13、M15をオフ、M14、M16をオンにして出力端子OUTの変動を止めて、それから、スイッチSW3をオフにしたのち、スイッチSW2をオン、SW1をオフにする。それにより、オフセットキャンセル期間の安定状態での回路構成を維持したまま、オペアンプ動作期間に移行することができる。

【0051】図5は、第3の実施の形態例におけるオペアンプの回路図である。このオペアンプでは、出力電流源トランジスタM10、M12のゲートを制御する出力電流源制御回路12が設けられている。それ以外は、図4のオペアンプと同じ構成である。

【0052】図3、4のオペアンプでは、出力端子駆動用の出力トランジスタM7、M11は、第2の入力トランジスタM4のドレイン電圧V2によりその駆動動作が制御される。即ち、ドレイン電圧V2が下がれば、出力トランジスタM7、M11がより導通して駆動能力が高くなり、ノードN1や出力端子OUTの電位が引き上げられる。一方、ドレイン電圧V2が上がれば、出力トランジスタM7、M11がより非導通になり駆動能力が低くなる。

【0053】それに対して、出力電流用トランジスタM10、M12は、そのゲートに定バイアス電圧VBBが供給されるのみであり、一定の駆動能力に維持される。従って、ノードN1や出力端子OUTの電位を引き上げる時は、この出力電流用トランジスタM10、M12の駆動動作により、引き上げ動作が遅くなる。また、ノードN1や出力端子OUTの電位を引き下げる時は、出力電流用トランジスタM10、M12の一定駆動能力により引き下げられるのみであり、急速な引き下げ動作にはならない。

【0054】そこで、図5のオペアンプでは、出力電流源制御回路12を設けて、ドレイン電圧V2と同相の電圧になるノードN5で出力電流源トランジスタM10、M12のゲートを駆動する。即ち、出力電流源制御回路12は、1対の入力トランジスタM3、M4のドレインをそれぞれゲートに接続した1対のトランジスタM24、M23(PMOS)と、そのソースと電源VDDの間の電流源トランジスタM29(PMOS)と、カレントミラー回路M21、M22(NMOS)とで構成される。つまり、出力電流源制御回路12は、1対の入力トランジスタM3、M4とカレントミラー回路M1、M2と電流源M9からなる差動回路と反対の構成になっている。そして、ノードN5の電位は、ノードV2の電位と同相になっている。

【0055】従って、ドレイン電圧V2が下がって出力トランジスタM7、M11の駆動能力を上げるように制御される時は、制御回路12では、トランジスタM23がより導通状態になり、トランジスタM24がより非導通状態になり、ノードN5の電位も下がる。それに伴い、NMOSの出力電流源トランジスタM10、M12の駆動能力は低下し、ノードN1及び出力端子OUTのプルアップ動作の応答性が高くなる。

【0056】一方、ドレイン電圧V2が上がって出力トランジスタM7、M11の駆動能力を下げるように制御される時は、制御回路12ではノードN5の電位も上がり、出力電流源トランジスタM10、M12の駆動能力は高くなり、ノードN1及び出力端子OUTのプルダウン動作の応答性が高くなる。

【0057】そして、トランジスタM3、M4の差動回路が安定状態に近づいて、ドレイン電圧V1、V2が同じになると、制御回路12内の差動トランジスタM23、M24の差動回路も安定状態になる。そ

れに伴い、ノードN1は出力トランジスタM7と出力電流源トランジスタM10との導通状態に伴うインピーダンス比に応じた電位になる。出力端子OUTもトランジスタM11,M12のインピーダンス比に応じた電位になる。

【0058】このように、出力電流源制御回路12により、第1及び第2の出力電流トランジスタM10、M12の導通状態が、第1及び第2の出力トランジスタの導通状態と逆方向にダイナミックに制御されることで、オペアンプの高速動作を可能にする。

【0059】図6は、第4の実施の形態例におけるオペアンプの回路図である。このオペアンプは、図3のオペアンプを上下対称にした回路であり、対応するトランジスタやスイッチには同じ引用番号を与えている。図3のオペアンプと比較すると理解できるとおり、図3のオペアンプにおいて電源VDDとグランドGNDとを入れ替え、各トランジスタの極性を逆にするすることで、図6のオペアンプになる。

【0060】図6のオペアンプにおいても、1対の入力トランジスタM3,M4(PMOS)を有する差動回路10と、それに接続されるオフセットキャンセル回路11と、第1の出力トランジスタM7(NMOS)及び第1の出力電流源トランジスタM10(PMOS)からなる第1の出力段と、第2の出力トランジスタM11(NMOS)及び第2の出力電流源トランジスタM12(NMOS)からなる第2の出力段とを有する。従って、出力トランジスタM7,M11により、ノードN1や出力端子OUTがプルダウンされる。差動回路10、オフセットキャンセル回路11の動作は、図3と同じである。

【0061】図7は、第5の実施の形態例におけるオペアンプの回路図である。このオペアンプは、図4のオペアンプを上下対称にした回路であり、対応するトランジスタやスイッチには同じ引用番号を与えている。図4のオペアンプと比較すると理解できるとおり、図4のオペアンプにおいて電源VDDとグランドGNDとを入れ替え、各トランジスタの極性を逆にするすることで、図7のオペアンプになる。

【0062】従って、この図7のオペアンプでは、制御信号CONにより、オフセットキャンセル期間では、スイッチトランジスタM13,M15がオン、トランジスタM14,M16がオフに制御され、オフセットキャンセル期間の終了時に、スイッチトランジスタM13,M15がオフ、トランジスタM14,M16がオンに制御されて、第2の出力段のトランジスタM11,M12が非活性状態になる。それにより、オフセットキャンセル期間での安定状態の回路構成が、オペアンプ動作期間においても維持される。

【0063】図8は、第6の実施の形態例におけるオペアンプの回路図である。このオペアンプは、図5のオペアンプを上下対称にした回路であり、対応するトランジスタやスイッチには同じ引用番号を与えている。図5のオペアンプと比較すると理解できるとおり、図5のオペアンプにおいて電源VDDとグランドGNDとを入れ替え、各トランジスタの極性を逆にするすることで、図8のオペアンプになる。即ち、差動回路10にオフセットキャンセル回路11を設け、更に出力電流源制御回路12を設けて、オペアンプ回路の高速動作を可能にする。

【0064】以上の実施の形態例では、ドレイン電流のオフセットを記憶するオフセットキャンセル回路11を有するオペアンプを例にして発明を説明したが、本発明はかかるオフセットキャンセル回路に限定されない。差動回路と第1の出力トランジスタと上記以外のオフセットキャンセル回路とを有するオペアンプにおいて、オフセットキャンセル期間中に出力端子を駆動する第2の出力トランジスタが設けられていれば、同様に高速応答性を実現することができる。

【0065】以上、実施の形態例をまとめると以下の付記の通りである。

【0066】(付記1)入力電圧と同じ出力電圧を出力端子に生成するオペレーションアンプにおいて、ソースが接続された第1及び第2の入力トランジスタと、当該ソースに接続された電流源と、第1及び第2の入力トランジスタのドレインに接続されたカレントミラー回路とを有する差動回路と、入力電圧が供給される第2の入力トランジスタのドレインにより制御されるゲートと、オペアンプ動作時に第1の入力トランジスタのゲートにフィードバックされるドレインとを有する第1の出力トランジスタと、前記差動回路に接続され、前記1対の入力トランジスタのオフセット状態を記憶するオフセットキャンセル回路と、前記第1の出力トランジスタに並列に設けられた第2の出力トランジスタとを有し、オフセットキャンセル期間において、前記第1及び第2の出力トランジスタのドレインが切り離され、当該第2の出力トランジスタにより出力端子が駆動され、オフセットキャンセル期間後のオペアンプ動作期間において、前記第1の出力トランジスタにより前記出力端子が駆動されることを特徴とするオペレーションアンプ。

【0067】(付記2)付記1において、前記オフセットキャンセル期間において、前記第2の出力トランジスタのゲートが、前記第1の入力トランジスタのドレインにより制御されることを特徴とするオペレーションアンプ。

【0068】(付記3)付記2において、前記オペアンプ動作期間において、前記第2の出力トランジスタが非活性状態になり、前記第1の出力トランジスタにより前記出力端子が駆動されることを特徴とするオペレーションアンプ。

【0069】(付記4)付記3において、前記オペアンプ動作期間において、前記第2の出力トランジスタのゲートが、前記第1の出力トランジスタのゲートから切り離され、且つ、電源レベルに接続されることを特徴とするオペレーションアンプ。

【0070】(付記5)付記1において、前記第1の出力トランジスタのドレインと電源との間に第1の出力電流トランジスタが、第2の出力トランジスタのドレインと電源との間に第2の出力電流トランジスタがそれぞれ設けられ、第1の出力トランジスタと第1の出力電流トランジスタのサイズ比と、第2の出力トランジスタと第2の出力電流トランジスタのサイズ比とが等しくなるように構成されていることを特徴とするオペレーションアンプ。

【0071】(付記6)付記1において、更に、前記第1の出力トランジスタのドレインと電源との間に第1の出力電流トランジスタが、第2の出力トランジスタのドレインと電源との間に第2の出力電流トランジスタがそれぞれ設けられ、前記第1及び第2の出力電流トランジスタの導通状態を、前記第1及び第2の出力トランジスタの導通状態と逆方向に制御する出力電流源制御回路を有することを特徴とするオペレーションアンプ。

【0072】(付記7)付記1において、オフセットキャンセル期間において、前記第1及び第2の入力トランジスタの両ゲートに入力電圧が印加され、前記オフセットキャンセル回路は、前記第1及び第2の入力トランジスタのドレイン電流のオフセットに対応したドレイン電流を記憶し、オペアンプ動作期間において、当該記憶したドレイン電流を前記カレントミラー回路に供給することを特徴とするオペレーションアンプ。

【0073】(付記8)付記1において、前記オフセットキャンセル回路は、前記第1及び第2の入力トランジスタに並列に接続された第1及び第2のオフセットキャンセル用トランジスタと、その共通ソースに接続された電流源と、第1のオフセットキャンセル用トランジスタのゲートに接続されたオフセットキャンセル用容量とを有し、オフセットキャンセル期間において、前記第1及び第2の入力トランジスタの両ゲートに入力電圧が印加され、前記第2のオフセットキャンセル用トランジスタのゲートに前記入力電圧が印加され、前記第2のオフセットキャンセル用トランジスタのゲートに第1の出力トランジスタのドレインが接続され、前記差動回路が安定状態になるまで前記オフセットキャンセル用容量が充電されて第1及び第2の入力トランジスタのドレイン電流のオフセット量に応じたドレイン電流が記憶され、前記オペアンプ動作期間において、前記第1の出力トランジスタのドレインが、第1の入力トランジスタのゲートに接続されると共に第1のオフセットキャンセル用トランジスタのゲートから切り離され、前記オフセットキャンセル回路から前記記憶されたドレイン電流が前記カレントミラー回路に供給されることを特徴とするオペレーションアンプ。

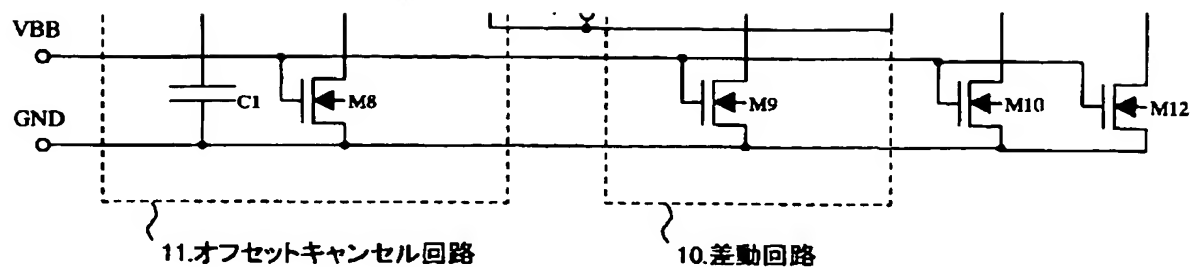
【0074】(付記9)入力電圧と同じ出力電圧を出力端子に生成するオペレーションアンプにおいて、前記入力電圧と出力電圧とを比較し、その差に応じた出力を生成する差動回路と、前記差動回路の出力により制御され、出力端子を駆動する第1及び第2の出力トランジスタと、前記差動回路に接続され、当該差動回路のオフセット量を記憶するオフセットキャンセル回路とを有し、前記オフセットキャンセル回路により前記オフセット量が記憶されるオフセットキャンセル期間において、前記第2の出力トランジスタにより前記出力端子が駆動され、前記オフセットキャンセル期間後のオペアンプ動作期間において、前記第1の出力トランジスタにより前記出力端子が駆動されることを特徴とするオペレーションアンプ。

【0075】(付記10)付記9において、前記オペアンプ動作期間において、前記第2の出力トランジスタに対する前記差動回路の出力による制御動作が停止することを特徴とするオペレーションアンプ。

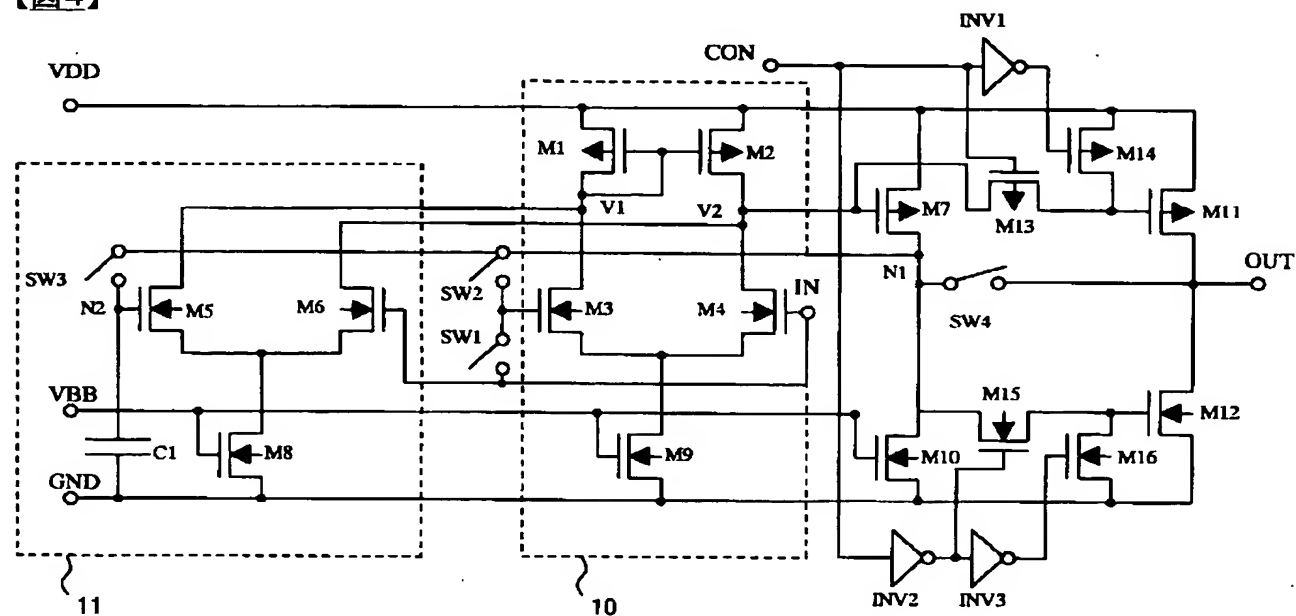
【0076】(付記11)付記1乃至11のいずれかに記載されたオペレーションアンプを複数有し、表示パネル内の複数のソース線を前記オペレーションアンプにより駆動する表示パネル用ソースドライバ回路。

【0077】

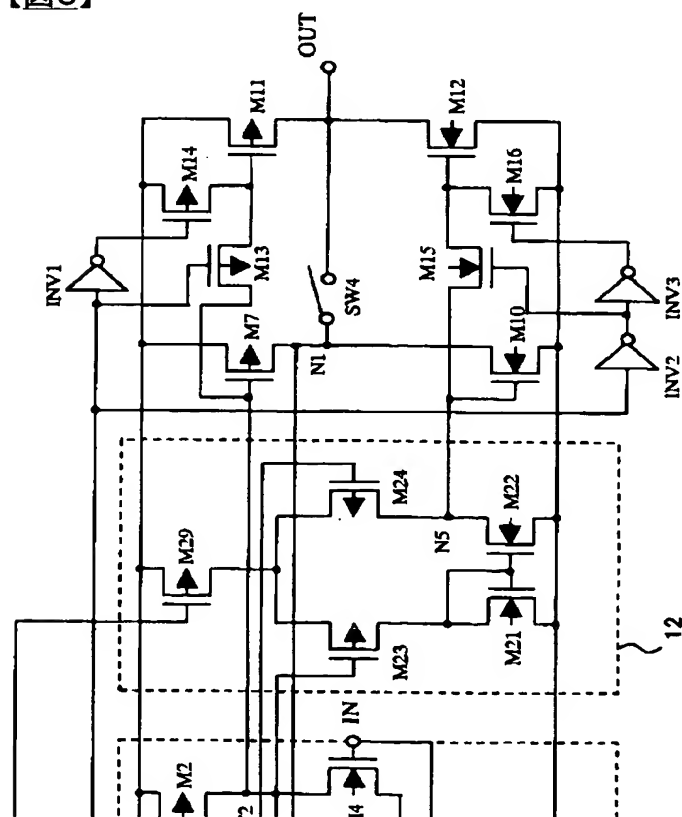
【発明の効果】以上、本発明によれば、差動回路とオフセットキャンセル回路と第1の出力トランジスタとを有するオペアンプにおいて、オフセットキャンセル期間において出力端子を駆動する第2の出力トランジスタを設けたので、入力電圧の変化に应答する出力電圧の应答性を高速化することができる。

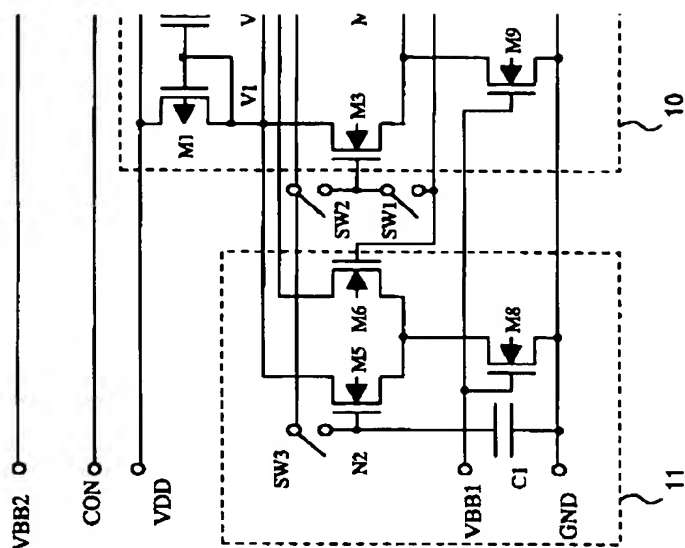


【図4】

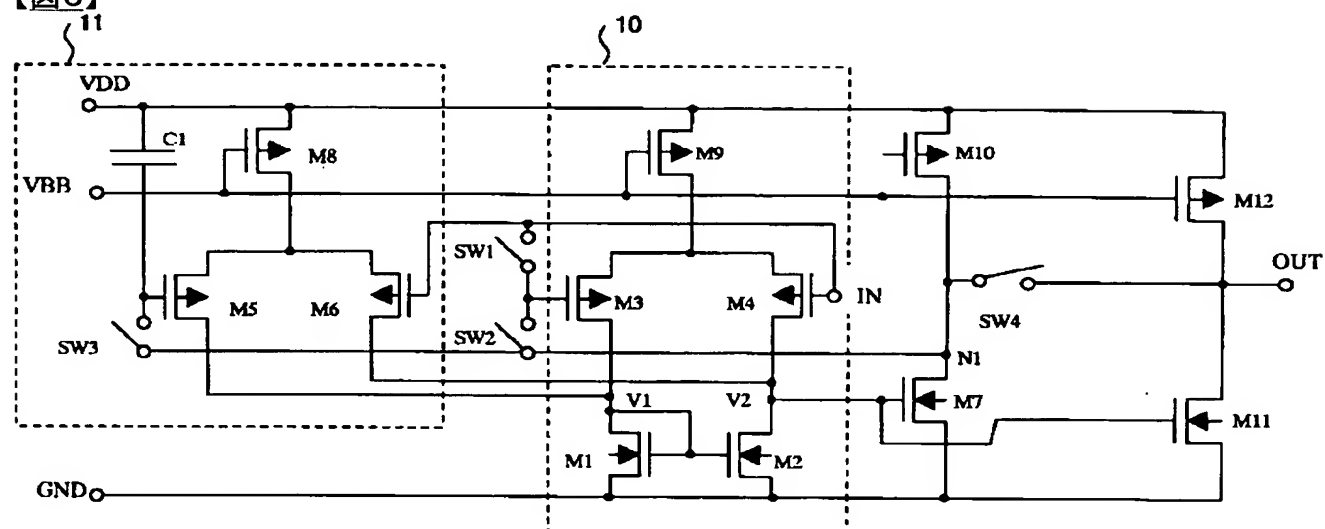


【図5】

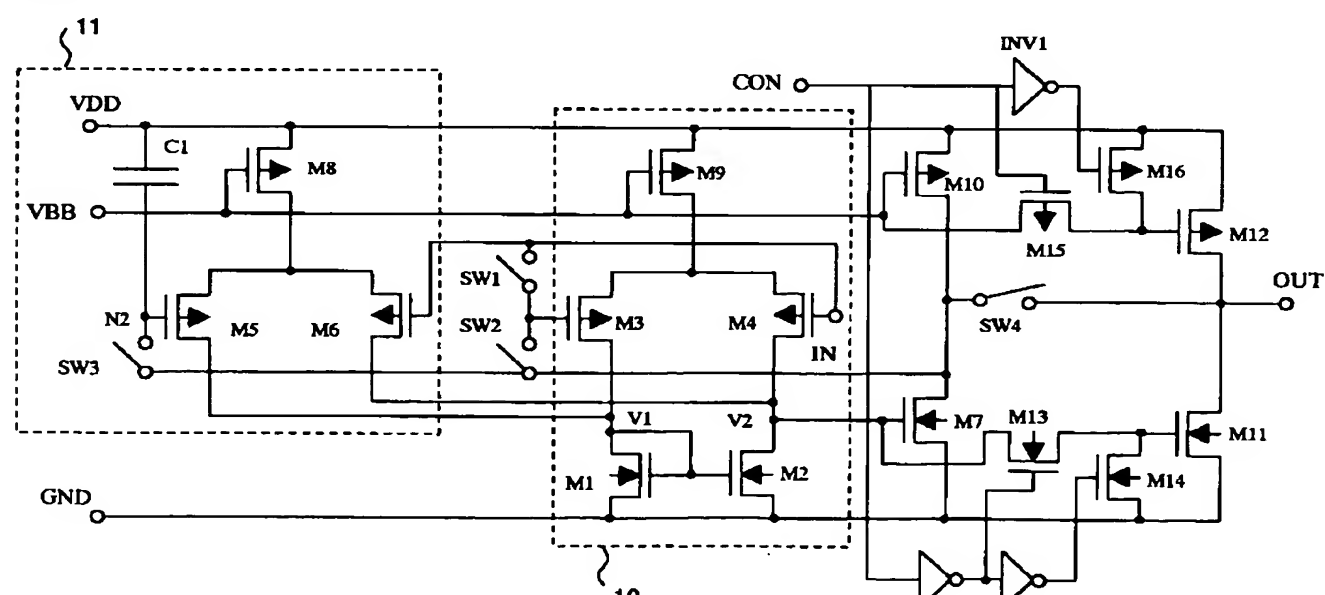




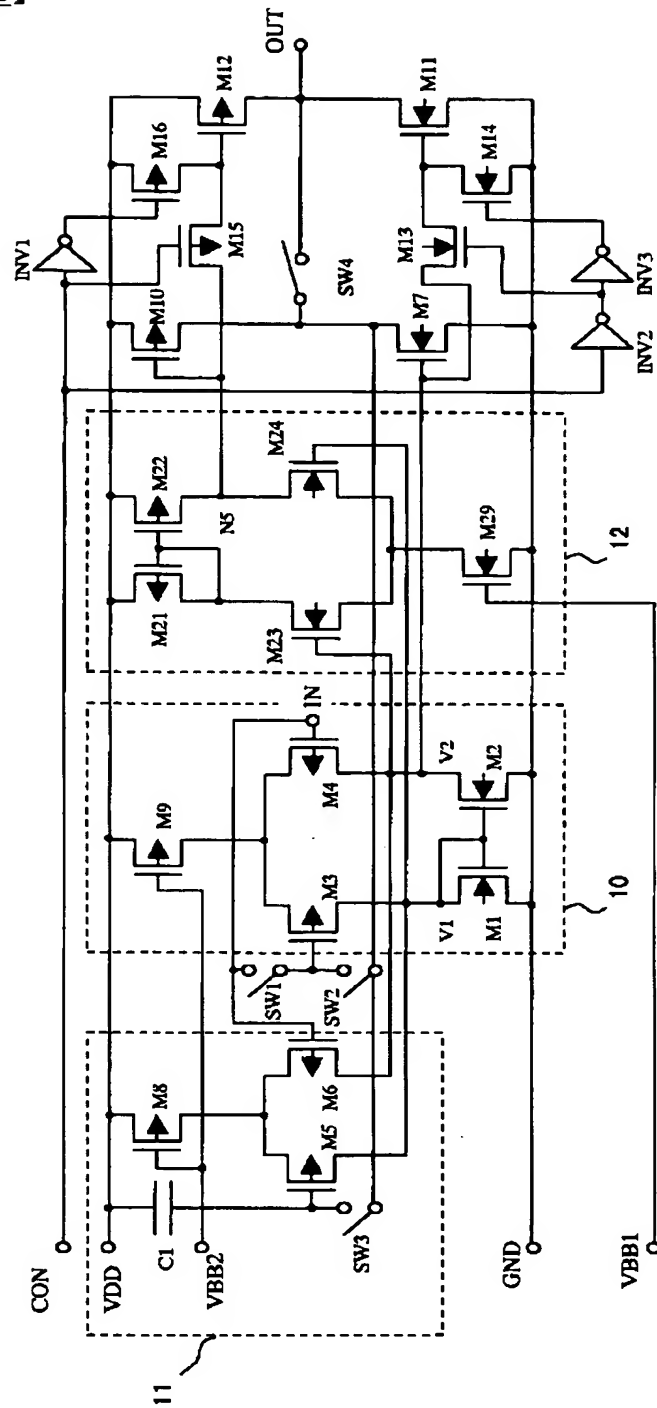
【図6】



【图7】



【図8】



2

INV2

INV3